

(19) 대한민국특허청(KR) (12) 공개특허공보(A)

(51) Int. Cl. ⁶ H01L 27/115	(11) 공개번호 특2001-0008614
	(43) 공개일자 2001년02월05일
(21) 출원번호 (22) 출원일자	10-1999-0026534 1999년07월02일
(71) 출원인	현대전자산업 주식회사 김영환 경기 이천시 부발읍 아미리 산136-1
(72) 발명자	박철환 서울특별시강북구미아3동218-7 공영택 경기도부천시원미구중동신도시중흥마을605-401 이승철 경기도의왕시왕곡동세종신안아파트104-104
(74) 대리인	박대진, 정은섭

심사청구 : 없음

(54) 플래시 EEPROM의 게이트전극 제조방법

요약

본 발명은 플래시 EEPROM의 게이트전극 제조방법에 관한 것으로서, 특히 그 방법은 기판의 활성 영역에 터널산화막을 형성한 후에, 그 위에 제 1도프트 폴리실리콘막, 절연체박막, 제 2도프트 폴리실리콘막, 텅스텐 실리사이드막, 비정질 실리콘막 및 반사방지막을 순차적으로 적층한다. 그리고, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 적층된 반사방지막, 제 1비정질 실리콘막, 텅스텐 실리사이드막 및 제 2도프트 폴리실리콘막을 셀프 얼라인하도록 패터닝하여 게이트전극의 상부 패턴을 형성한 후에 상기 결과물 표면에 제 2비정질 실리콘막을 형성한다. 제 2비정질 실리콘막이 증착된 게이트전극의 상부패턴에 셀프 얼라인되도록 절연체박막 및 제 1도프트 폴리실리콘막 및 터널산화막을 패터닝하여 게이트전극의 나머지 하부 패턴을 형성하고, 어닐링 공정을 진행하여 게이트전극 측면에 산화물질로된 보호막을 형성하면서 상기 비정질막을 폴리실리콘화한다. 따라서, 본 발명은 폴리사이드구조의 스택형 게이트전극 형성시 텅스텐 실리사이드의 표면이 보호되어 있어 후속 열공정에 의해 비정상적인 산화 반응을 일으키지 않아 플래시 EEPROM 메모리의 소스 영역 형성 및 정션 형성시 균일성을 개선한다.

대표도

도2a

명세서

도면의 간단한 설명

도 1은 종래기술에 의한 플래시 EEPROM의 스택형 게이트전극 제조방법을 설명하기 위한 단면도,

도 2a 내지 도 2f는 본 발명에 따른 플래시 EEPROM의 스택형 게이트전극 제조방법을 설명하기 위한 단면도들.

* 도면의 주요부분에 대한 부호의 설명 *

100: 기판	102: 필드산화막
104 : 터널산화막	106: 제 1도프트 폴리실리콘막
108: 절연체박막	110: 제 2도프트 폴리실리콘막
112: 텅스텐실리사이드막	114: 제 1비정질 실리콘막
116: 반사방지막	118: 제 2비정질 실리콘막
120: 보호막	121: 셀프얼라인소스 식각의 마스크패턴
122: 공통 소스 영역	

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 플래시 EEPROM의 제조방법에 관한 것으로서, 보다 상세하게는 플래시 메모리(flash memory)의 스택(stack)형 게이트전극의 제조 공정시 발생하는 비정상적인 산화 반응으로 인한 게이트전극의 전기 저항 감소를 예방할 수 있는 플래시 EEPROM의 게이트전극 제조방법에 관한 것이다.

비휘발성 메모리로 널리 사용되는 플래시 EEPROM(electrically programable erasable read only memory)은 전기적으로 데이터를 프로그램하고 소거하는 기능을 가지고 있다. 이러한 EEPROM의 프로그램 동작은 드레인 측에 채널 열 전자(channel hot electron)를 형성시켜 상기 전자를 플로팅 게이트(floating gate)에 축적함으로써 셀 트랜지스터의 문턱 전압을 증가시키는 동작이다. 반면에, 소거 동작은 소스/기판과 상기 플로팅 게이트간에 고전압을 발생시켜 플로팅 게이트에 축적된 전자를 방출함으로써 셀 트랜지스터의 문턱 전압을 낮추는 것이다.

현재 플래시 EEPROM 소자에 있어서, 게이트전극의 컨트롤 게이트는 셀의 데이터 기록시 고전압이 인가되기 때문에 폴리실리콘과 함께 전기저항이 낮은 전기배선 재료로서 텅스텐 실리사이드를 많이 사용하고 있다.

도 1은 종래기술에 의한 플래시 EEPROM의 스택형 게이트전극 제조 방법을 설명하기 위한 단면도로서, 이를 참조하면, 통상의 플래시 EEPROM의 게이트전극 제조 공정은 다음과 같다.

우선, 실리콘기판(10)에 필드산화막(12)을 형성하고, 기판의 활성 영역에 터널산화막(14)을 형성한다.

그 다음, 기판전면에 다층의 도전물질층을 증착하게 되는데 우선, 터널산화막(14) 상부면에 플로팅 게이트로 사용될 제 1도프트 폴리실리콘막(16)과, 그 위에 절연체박막(18)과, 그 위에 컨트롤 게이트로 사용될 제 2도프트 폴리실리콘막(20) 및 텅스텐 실리사이드막(22)과, 포토레지스트 패턴의 난반사를 방지하는 반사방지막(24)을 순차적으로 적층한다. 그리고, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 상기 반사방지막(24)부터 하부의 제 2도프트 폴리실리콘막(20)까지 식각한 후에 상부의 반사방지막 패턴을 마스크로 하여 나머지 절연체박막(18)과 제 1도프트 폴리실리콘막(16)을 셀프 얼라인 형태로 식각해서 게이트 전극(G)을 형성한다.

상기 다층의 도전물질이 적층된 스택형 게이트전극(G)이 형성된 기판에 소스/드레인 영역(25)을 형성한다. 이때, 도펀트의 확산을 위한 열 공정을 실시할 경우 게이트전극(G)의 컨트롤 게이트인 텅스텐 실리사이드막(22)이 산소 분위기하에서 재산화하며 이러한 비정상적인 산화 반응에 의해 결국 텅스텐 실리사이드막(22)의 측면이 블로잉-업(blowing up)된다.

좀 더 상세하게 말하면, 셀프 얼라인으로 게이트전극의 패턴링할 경우 플라스마 식각에 의해서 노출된 텅스텐 실리사이드 표면 부위(상부 및 측면)의 결정 구조가 비정질 및 준안정상태로 변화하고 부분적으로는 텅스텐이 풍부하게 되어 이후 열처리 공정시 산소와 반응하여 산화텅스텐(WO_3), 산화실리콘(SiO_2), 산화텅스텐실리사이드($WSixOy$)와 같은 산화물(25)을 형성하게 된다. 이러한 산화물은 이온 주입 공정과 연속적인 식각 공정에 의해 변화된다.

즉, 고온의 산화 및 어닐링 공정을 진행하게 되면 식각 및 이온 주입 공정에서 손상을 입은 게이트전극 표면에서는 산화물의 형성이 촉진되어 방향성을 가지고 성장하게 된다. 이것은 후속 이온 주입 공정시 배리어(barrier)로 작용하여 부분적으로는 이온주입되지 않는 부분이 생기게 되어 소스/드레인 영역 및 정션 형성에 문제를 유발할 뿐만 아니라 각 메모리 셀에서의 소스 프로파일도 다르게 되어 셀의 소거 및 프로그래밍 동작시 그 신뢰성에 나쁜 영향을 미친다.

발명이 이루고자하는 기술적 과제

본 발명의 목적은 상기 종래 기술의 문제점을 해결하기 위하여 플래시 EEPROM 게이트전극의 컨트롤 게이트인 텅스텐 실리사이드 상부에 캡핑용 실리콘을 증착하며 게이트 전극의 패턴링 후에 게이트전극의 측면을 실리콘으로 패시베이션함으로써 이후 열처리 공정시 텅스텐 실리사이드막의 비정상 산화 반응을 방지하여 안정된 게이트전극의 형태를 얻을 수 있는 플래시 EEPROM의 게이트전극 제조방법을 제공함에 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위하여 본 발명은 활성 영역 및 소자 분리 영역으로 정의된 반도체기판의 활성 영역에 터널산화막이 형성되어 있으며 그 상부면에 도프트 폴리실리콘막으로 이루어진 플로팅 게이트와, 그 위에 절연체박막과, 그 위에 도프트 폴리실리콘막 및 텅스텐 실리사이드막이 적층된 컨트롤 게이트로 이루어진 플래시 EEPROM의 게이트전극 제조방법에 있어서, 기판의 활성 영역에 터널산화막을 형성한 후에, 그 위에 제 1도프트 폴리실리콘막, 절연체박막, 제 2도프트 폴리실리콘막, 텅스텐 실리사이드막, 비정질 실리콘막 및 반사방지막을 순차적으로 적층하는 단계와, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 적층된 반사방지막, 제 1비정질 실리콘막, 텅스텐 실리사이드막 및 제 2도프트 폴리실리콘막을 셀프 얼라인하도록 패턴링하여 게이트전극의 상부 패턴을 형성하는 단계와, 결과를 표면에 제 2비정질 실리콘막을 형성하는 단계와, 제 2비정질 실리콘막이 증착된 게이트전극의 상부패턴에 셀프 얼라인되도록 절연체박막 및 제 1도프트 폴리실리콘막 및 터널산화막을 패턴링하여 게이트전극의 나머지 하부 패턴을 형성하는 단계와, 어닐링 공정을 진행하여 게이트전극 측면에 보호막을 형성하면서 제 1비정질 실리콘을 폴리실리코화하는 단계를 포함하여 이루어진 것을 특징으로 한다.

이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예에 대해 설명하고자 한다.

도 2a 내지 도 2f는 본 발명에 따른 플래시 EEPROM의 스택형 게이트전극 제조방법을 설명하기 위한 단면

도들로서, 이를 참조하면 본 발명의 게이트전극 제조 공정은 다음과 같다.

도 2a에 도시된 바와 같이, 필드산화막(102)이 형성된 실리콘 기판(10) 상부에 터널산화막(104)을 형성한다. 그리고, 터널산화막(104) 상부에 플로팅 게이트인 제 1도프트 폴리실리콘막(106), 절연체박막(108), 컨트롤 게이트인 제 2도프트 폴리실리콘막(110) 및 텅스텐 실리사이드막(112)을 순차적으로 적층한다. 그리고, 이후 텅스텐 실리사이드막(112)의 산화를 방지하기 위하여 제 1비정질 실리콘막(114)을 증착하고, 그 위에 반사방지막(116)을 적층한다. 여기서, 상기 비정질 실리콘막(114)은 450~580℃의 증착온도에서 인시튜(in-situ)로 증착되며 그 두께는 100~300Å로 한다. 또한, 텅스텐 실리사이드(112)와의 스트레스를 줄이고 접착 강도를 좋게 하기 위하여 불순물이 도핑되지 않는 막을 사용한다.

이어서, 도 2b에 도시된 바와 같이, 게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 적층된 반사방지막(116), 제 1비정질 실리콘막(114), 텅스텐 실리사이드막(112) 및 제 2도프트 폴리실리콘막(110)을 셀프 얼라인하도록 패터닝하여 게이트전극의 상부 패턴(G1)을 형성한다.

이어서, 도 2c에 도시된 바와 같이, 게이트전극의 상부 패턴(G1) 상측면과 그 아래 절연체박막(108) 표면에 후속 식각 공정에서의 식각 배리어(etch barrier) 및 후속 어닐링 공정에서 텅스텐의 비정상적인 산화 반응을 방지하기 위해 제 2비정질 실리콘막(118)을 형성한다. 여기서, 제 2비정질 실리콘막(118)은 450~580℃의 증착온도에서 증착되며 그 두께는 50~150Å로 하며, 또 텅스텐 실리사이드와의 접착 강도를 좋게 하기 위해 불순물이 도핑되지 않는 막을 사용한다.

그리고, 상기 비정질 실리콘막(118)의 공정은 웨이퍼를 로딩할 때 300~500℃의 온도에서 N₂ 가스를 15 slm 이상으로 웨이퍼 표면에 불어주면서 노내에 있는 산소에 의해 산화되는 것을 방지한다. 이때, 로딩할 때의 온도를 롬 실내 온도로 설정함이 바람직하며, N₂ 가스는 N₂ 퍼지박스(fuzzy box)나 N₂ 로딩 락 시스템(loading lock system)을 사용하는 것이 바람직하다.

그 다음, 도 2d에 도시된 바와 같이, 제 2비정질 실리콘막(118)이 증착된 게이트전극의 상부패턴(G1)에 셀프 얼라인되도록 절연체박막(108) 및 제 1도프트 폴리실리콘막(106) 및 터널산화막(104)을 패터닝하여 게이트전극의 나머지 하부 패턴(G2)을 형성한다.

그 다음, 도 2e에 도시된 바와 같이, 어닐링 공정을 진행하여 게이트전극(G) 측면에 산화물질로 이루어진 보호막(120)을 형성하면서 상기 비정질막(114)을 폴리실리콘화한다.

또한, 셀프 얼라인 소스 영역을 식각하는 반도체소자의 제조 공정에 있어서는, 본 발명에 따른 스택형 게이트전극의 제조 공정을 완료한 후에 도 2f에 도시된 바와 같이, 상기 결과물에 셀 어레이의 면적을 축소시키기 위하여 마스크 패턴(121)을 도포하고, 셀프얼라인 소스 식각 공정을 실시하여 소스 영역 부위의 필드산화막(102')을 선택적으로 식각한다.

그러면, 상기 마스크 패턴(121)에 의해 노출된 기판에 이온 주입공정을 실시하고 이어서 열공정을 진행하면 게이트전극(G)과 필드산화막(102) 사이의 기판내에 공통 소스 영역(122)이 형성된다. 이때, 셀프 얼라인 소스 식각을 실시하는 플래시 소자에서는 마스크가 게이트전극(G) 상부에 걸쳐 있고 개방된 소스 영역에서의 필드산화막(102')을 플라즈마 식각 공정으로 식각하기 때문에 CHF₃, CF₄ 계열의 식각액으로부터 반사방지막 아래의 텅스텐을 보호하는 역할을 텅스텐실리사이드 상부의 폴리실리콘막(114)이 한다. 그러면, 어닐링 공정에서도 텅스텐실리사이드막이 노출되지 않기 때문에 블루잉-업이 일어나지 않는다.

발명의 효과

상기한 바와 같이 본 발명에 따르면, 텅스텐 실리사이드 상부에 비정질 실리콘막을 추가하고, 게이트전극의 상부 패턴을 식각한 후에 그 패턴 측면에 비정질 실리콘을 얇은 두께로 증착하여 게이트전극의 전체 측면을 보호한다. 그리고, 반사방지막을 마스크로 하여 셀프얼라인 식각 공정을 실시한 후에 재산화 공정에서 게이트 전극의 측면의 비정질 실리콘에 산소가 확산되어 실리콘산화막을 형성함과 동시에 텅스텐이 풍부한 실리사이드막과 실리콘이 고온에서 반응하여 안정적인 텅스텐 실리사이드를 형성한다.

이에 따라, 본 발명은 후속 공정인 셀 소스 이온주입에 의한 텅스텐 실리사이드막의 손상을 줄일 수 있으며 어닐링 공정에 의한 텅스텐 실리사이드의 블루잉-업을 방지할 수 있어 메모리 셀의 신뢰성을 높인다.

(57) 청구의 범위

청구항 1

활성 영역 및 소자 분리 영역으로 정의된 반도체기판의 활성 영역에 터널산화막이 형성되어 있으며 그 상부면에 도프트 폴리실리콘막으로 이루어진 플로팅 게이트와, 그 위에 절연체박막과, 그 위에 도프트 폴리실리콘막 및 텅스텐 실리사이드막이 적층된 컨트롤 게이트로 이루어진 플래시 EEPROM의 게이트전극 제조방법에 있어서,

상기 기판의 활성 영역에 터널산화막을 형성한 후에, 그 위에 제 1도프트 폴리실리콘막, 절연체박막, 제 2도프트 폴리실리콘막, 텅스텐 실리사이드막, 비정질 실리콘막 및 반사방지막을 순차적으로 적층하는 단계;

게이트 마스크를 이용한 사진 및 식각 공정을 진행하여 상기 적층된 반사방지막, 제 1비정질 실리콘막, 텅스텐 실리사이드막 및 제 2도프트 폴리실리콘막을 셀프 얼라인하도록 패터닝하여 게이트전극의 상부 패턴을 형성하는 단계;

상기 결과물 표면에 제 2비정질 실리콘막을 형성하는 단계;

상기 제 2비정질 실리콘막이 증착된 게이트전극의 상부패턴에 셀프 얼라인되도록 절연체박막 및 제 1도프트 폴리실리콘막 및 터널산화막을 패터닝하여 게이트전극의 나머지 하부 패턴을 형성하는 단계; 및 어닐링 공정을 진행하여 상기 게이트전극 측면에 보호막을 형성하면서 상기 제 1비정질막을 폴리실리콘화하는 단계를 포함하여 이루어진 것을 특징으로 하는 플래시 EEPROM의 게이트전극 제조방법.

청구항 2

제 1항에 있어서, 상기 제 1비정질 실리콘막은 450~580℃의 증착온도에서 SiH_4 를 이용하여 증착되며 그 증착 두께가 100~300 Å이며, 불순물이 도핑되지 않는 막인 것을 특징으로 하는 플래시 EEPROM의 게이트전극 제조방법.

청구항 3

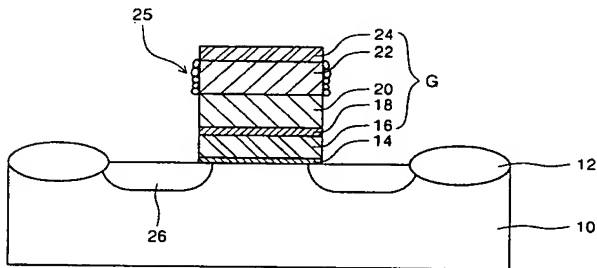
제 1항에 있어서, 상기 제 2비정질 실리콘막은 450~580℃의 증착온도에서 SiH_4 를 이용하여 증착되며 그 증착 두께가 50~150 Å이며, 불순물이 도핑되지 않는 막인 것을 특징으로 하는 플래시 EEPROM의 게이트전극 제조방법.

청구항 4

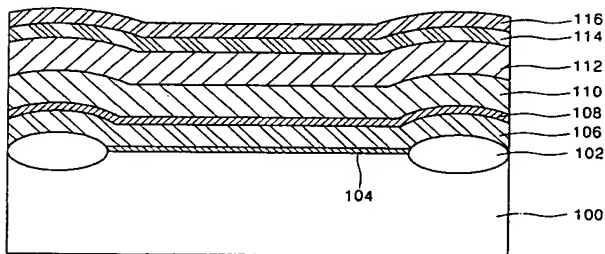
제 1항에 있어서, 상기 제 2비정질 실리콘막의 증착시 로딩 분위기는 300~500℃의 온도에서 N_2 가스를 흘려주는 것을 특징으로 하는 플래시 EEPROM의 게이트전극 제조방법.

도면

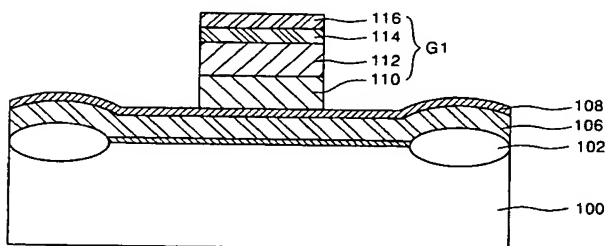
도면1



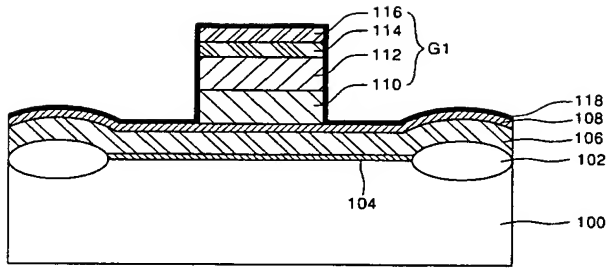
도면2a



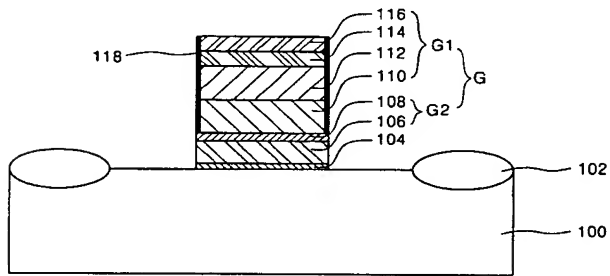
도면2b



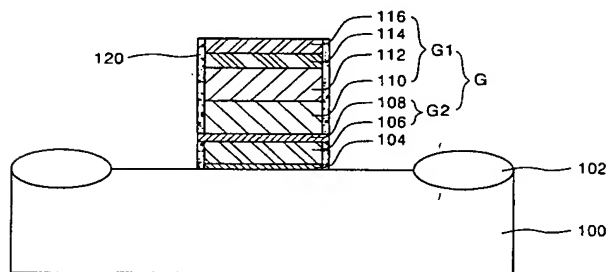
도면2c



도면2d



도면2e



도면2f

